

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-047943

(43)Date of publication of application : 26.02.1993

1)Int.Cl.

H01L 21/90

H01L 27/04

1)Application number : 03-206722

(71)Applicant : SEIKO EPSON CORP

2)Date of filing : 19.08.1991

(72)Inventor : KOBAYASHI YUMIKA

## 4) SEMICONDUCTOR INTEGRATED DEVICE

## 7)Abstract:

PROPOSE: To restrain noise in a digital circuit affecting an analog circuit, by arranging a shield wire on the side surface of an analog signal line.

CONSTITUTION: An analog line 101 sensitive to noise is arranged by polysilicon 1. A high frequency digital line 103 is arranged by AL 2. A signal line 102 as a wiring layer between the signal line 101 and the signal line 103 arranged by AL 1. The signal line 102 acts as a shield by applying an earth voltage VDD which is stable constant electric potential. Because a signal line shield metal is not affected by external electric conditions, electric lines of force which are given to the signal line 101 by the signal line 103 are suppressed, and the noise resistance of the signal line 101 is improved. Therefore a semiconductor integrated device in which analog circuits and digital circuits mixedly exist can be realized with high precision, without increasing the chip area.

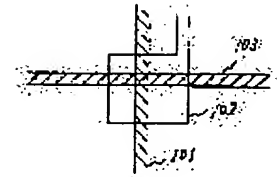


Fig. 2

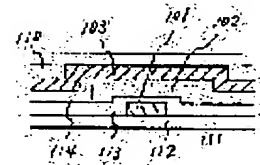


Fig. 3

## 3) STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Date of final disposal of application other than the examiner's decision of rejection or application converted to a patent]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 4 7 9 4 3

(43) 公開日 平成5年(1993)2月26日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/90	W 7353-4 M		
		V 7353-4 M		
	27/04	D 8427-4 M		
		H 8427-4 M		

審査請求 未請求 請求項の数 3

(全 5 頁)

(21) 出願番号 特願平3-206722

(22) 出願日 平成3年(1991)8月19日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小林 由美香

長野県諏訪市大和3丁目3番5号 セイコー

エプソン株式会社内

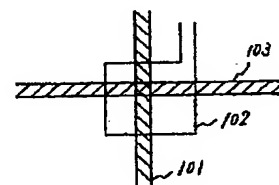
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体集積装置

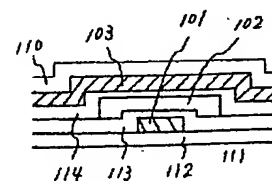
(57) 【要約】

【目的】 アナログ・デジタル混在型半導体集積装置において、アナログ部でのノイズ防止。

【構成】 高周波のデジタル信号線とノイズの影響を受けやすいアナログ信号線がレイアウト上交差する部分で、デジタル信号線とアナログ信号線の間にシールド線を配置する、アナログ信号線の上下層にシールド線を配置する、アナログ信号線の上下層及び側面にシールド線を配置することにより防ぐ。ノイズに影響を受けやすいアナログ信号線と高周波のデジタル信号線の間の配線層に定まった電位を与えた信号線を配置する。



( a )



( b )

## 【特許請求の範囲】

【請求項1】配線層を複数有する半導体集積装置において、第1の配線層と第2の配線層を有し、前記第1の配線層と前記第2の配線層の交差部分で、前記第1の配線層と前記第2の配線層の間に第3の配線層を配置し、前記第3の配線層は、前記第1の配線層と前記第2の配線層の交差領域部以上の面積を有し、前記第3の配線層には定まった電位を与えることを特徴とする半導体集積装置。

【請求項2】請求項1記載の半導体集積装置において、前記第1の配線層の下層に第4の配線層を配置し、前記第4の配線層は前記第1の配線層と前記第2の配線層の交差領域部以上の面積を有し、さらに前記第4の配線層に定まった電位を与えることを特徴とする半導体集積装置。

【請求項3】請求項2記載の半導体集積装置において、前記第1の配線層の側面に前記第3の配線層と前記第4の配線層をつなぐコンタクトを配置し、前記第2の配線層の側面にも定まった電位を与えることを特徴とする半導体集積装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、アナログ・デジタル混在型半導体集積装置のレイアウト方法に関する。

## 【0002】

【従来の技術】従来、ノイズに影響されやすいアナログ回路と、高周波のデジタル回路が混在している半導体集積装置において、デジタル信号線（高周波信号線）である第1の配線層と、アナログ信号線である第2の配線層は、層間絶縁膜を隔てるのみで交差しているか、または全く分離して第1の配線層と第2の配線層が交差しないようレイアウトしていた。

【0003】図4（a）にその従来の回路例と、図4（b）に第1の配線層と第2の配線層の交差部分の断面構造を示す。図4（a）の回路はオペアンプを用いた定電圧回路の一種で、ここで1、2は抵抗、3はオペアンプ、4はドライブ用Nchトランジスタ、5は定電圧供給ライン、8はオペアンプへのフィードバック信号である。また6は交差する高周波信号（デジタル部内の信号）、7はフィードバック信号と高周波信号の交差部分を示す。図4（b）における各記号は、図4（a）に相当し、6は高周波信号、8はフィードバック信号、9、10、11は各々の配線層の間の層間絶縁膜である。ここでアナログ信号であるフィードバック信号8と高周波信号6は層間絶縁膜10を隔てるのみである。

## 【0004】

【発明が解決しようとする課題】しかし、従来の前述したような配線では、抵抗の分割電圧であるアナログ信号が高周波信号からのクロストークを受けやすいため、低電圧の出力に高周波信号の微分信号が重畳される。5に

示される定電圧出力（以下Vreg）は、1、2に示される抵抗R1、R2、及びフィードバック信号8の電位をVFとするとVregは次式のように表わす事が出来る。

## 【0005】

$$V_{reg} = (R1 + R2) / R1 * VF$$

ここで(R1+R2)/R1は一定値であるためVFが一定であればオペアンプとドライブTrによってVregは一定になる。しかし、ここでR1、R2は非常に高抵抗であり、またオペアンプの入力インピーダンスが非常に高いことから、フィードバック信号8に外部的にノイズやクロストークがのりやすく、VFは簡単に変動する。VFの変動が小さかったとしても、回路構成によりR1+R2/R1≫1のときはVregの変動は無視出来ない大きさになり、システム全体に大きな影響を与える。

【0006】このように、アナログ信号は通常非常に敏感で他の影響を受けやすく、全体のシステムに与える悪影響は非常に重大なものとなる。従来の何の考慮もされていないレイアウトでは、前述したような影響を受けやすい。また、この問題を回避するためにアナログ信号とデジタル信号を完全に分離するレイアウトにすると、IC自体のチップサイズは非常に大きくなり、チップコストが非常に高価になってしまう。

【0007】そこで本発明のレイアウトはこれらの問題点を除去し、安定した、高性能で安価（チップサイズ小）なデジタル・アナログ混在型ICを提供するものである。

## 【0008】

【課題を解決するための手段】配線層を複数有する半導体集積装置において、第1の配線層と第2の配線層を有し、前記第1の配線層と前記第2の配線層の交差部分で、前記第1の配線層と前記第2の配線層の間に第3の配線層を配置し、前記第1の配線層の下層に第4の配線層を配置し、前記第3の配線層と前記第4の配線層は、前記第1の配線層と前記第2の配線層の交差領域部以上の面積を有し、前記第2の配線層の側面に前記第3の配線層と前記第4の配線層をつなぐコンタクトを配置し、前記第3の配線層と前記第4の配線層には定まった電位を与えることを特徴とする。

## 【0009】

## 【作用】

## 【0010】

【実施例】図1（a）は、本発明の半導体集積装置のレイアウト構成を示す概略図である。ノイズに敏感なアナログ信号線である101と、高周波のデジタル信号線である103がレイアウト上交差する部分において、信号線103から信号線101が受ける電気力線を抑えるためVDD電位を与えた信号線（シールド線）102を信号線101と信号線103の間に配置した。このとき信

号線102は信号線101と信号線103の配線層の交差領域部以上の面積を有し、交差領域部を完全に覆うように配置した。

【0011】図1(b)は、図1(a)を断面構造で見た図である。ここでノイズに敏感なアナログ信号線である101をポリシリコン1、高周波のデジタル信号線である103をAL2、信号線101と信号線103の間の配線層である信号線102をAL1で配置した。112、113、114は層間絶縁膜、110はパッシベーション、111は基板であり、この実施例ではN型であ\*10

信号線	101
例1	ポリシリコン1
例2	ポリシリコン1
例3	ポリシリコン2

しかも金属配線であれば違った材質を使用することが出来る。また定まった電位(シールド電位)に本実施例では接地電圧VDD電位を使用した\*が、変動の少ない安定した電圧であればその中間電位(例えばVDD/2)、電源電圧(VSS)でも構わない。

【0013】図2(a)は、図1の実施例をさらに発展させたレイアウト構成図である。ノイズに敏感なアナログ信号線である101と、高周波のデジタル信号線である103がレイアウト上交差する部分において、前記信号線101の下層にVDD電位(シールド電位)を与えた信号線104を配置した。信号線104は信号線102と同じくシールドとして働くため、信号線101と信号線103の交差領域部以上の面積で交差領域部を覆うように配置することにより、信号線101はその下層においてもシールドされ、耐ノイズ性の効果はさらに高くなる。図2(b)は、図2(a)を断面構造で見た図である。ノイズに敏感なアナログ信号線である101をポリシリコン1、高周波のデジタル信号線である103をAL2、信号線101と信号線103の間の配線層である102をAL1、信号線101の下層の配線層である104をポリシリコン2で示した。112、113、114、115は層間絶縁膜、110はパッシベーション、111は基盤である。これにより信号線101は、信号線102、104により上下からシールドされることになり外部からの影響を受ける可能性は少なくなる。本実施例では信号線101、102、103、104をそれぞれポリシリコン1、AL1、AL2、ポリシリコン2で示したが、金属配線であれば違った材質を用いることが出来る。

【0014】図3(a)は、図2の実施例をさらに発展させたレイアウト構成図である。ノイズに敏感なアナログ信号線である101と、高周波のデジタル信号線である103がレイアウト上交差する部分において、信号線101の側面にVDD電位を与えた信号線である103と104をつなぐコンタクト105を配置し、信号線101の両側面においてもVDD電位でシールドすること

\*る。ここで信号線102に安定した一定の電位である接地電圧VDDを与えることにより、信号線102はシールドとして働く。シールド金属内の信号線は外部の電氣的影響を受けないのは公知の事実であるため、信号線103が信号線101に与える電氣力線が抑えられ、信号線101の耐ノイズ性が向上する。本実施例では信号線101、102、103をそれぞれポリシリコン1、AL1、AL2で示したが、組み合わせは下記の表のように変えることが出来る。

【0012】	
102	103
ポリシリコン2	AL1
ポリシリコン2	AL2
AL1	AL2

により信号線101の耐ノイズ性をさらに高める。

【0015】図3(b)は、図3(a)を断面構造で見た図である。ノイズに敏感なアナログ信号線101の側面において接地電圧VDDを与えた信号線(シールド線)である103と104をつなぐコンタクト105を配置することにより、信号線101は側面においてもシールドされることになり外部の影響をほとんど受けにくくなる。

#### 【0016】

【発明の効果】本発明によれば、同じ半導体集積回路中から発生するデジタル回路のノイズが、ノイズに影響を受けやすいアナログ回路へ及ぶのを、極めて簡単な追加パターンにより抑えることが出来る。

【0017】よって本発明は、チップ面積を増大させることなく精度の高いアナログ・デジタル混在型半導体集積装置を実現する一手段となる。

#### 【図面の簡単な説明】

【図1】(a) 本発明の一実施例を示すレイアウト構成図。

(b) (a)のレイアウト構成を断面構造で見た図。

【図2】(a) 本発明の一実施例を示すレイアウト構成図。

(b) (a)のレイアウト構成を断面構造で見た図。

【図3】(a) 本発明の一実施例を示すレイアウト構成図。

(b) (a)のレイアウト構成を断面構造で見た図。

【図4】(a) 従来例の一実施例を示す回路図。

(b) 従来例の一実施例を示す断面構造図。

#### 【符号の説明】

- |     |                   |
|-----|-------------------|
| 1、2 | 抵抗                |
| 3   | オペアンプ             |
| 4   | Nch トランジスタ        |
| 5   | 定電圧供給ライン          |
| 6   | 高周波のデジタル信号線       |
| 7   | 6と8の信号線の交差部分      |
| 8   | オペアンプへのフィードバック信号線 |

9、10、11 層間絶縁膜

101 ノイズに敏感なアナログ信号線

102、104 定電位を与えた信号線

103 高周波のデジタル信号線

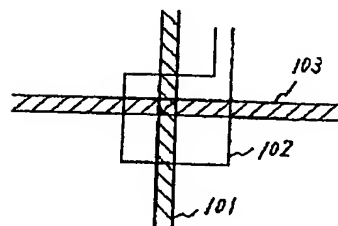
105 コンタクト

110 パッシベーション

111 基板

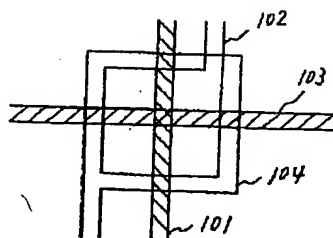
112、113、114、115 層間絶縁膜

【図1】



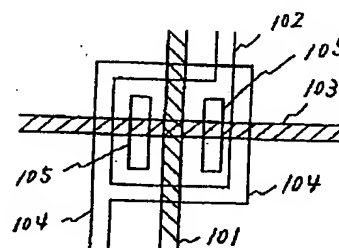
(a)

【図2】

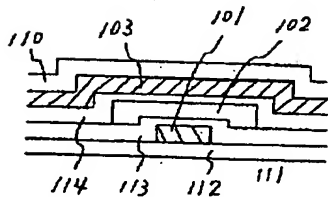


(a)

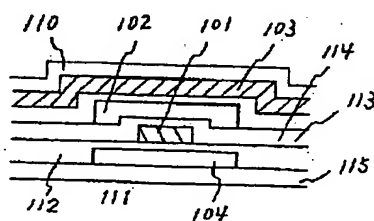
【図3】



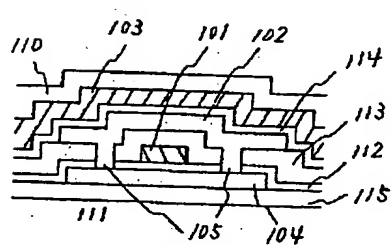
(a)



(b)

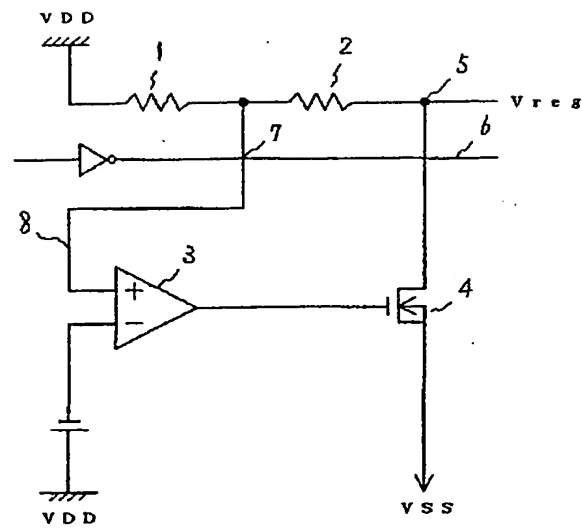


(b)

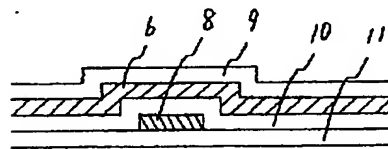


(b)

【図 4】



( a )



( b )